

(11)Publication number : 07-320994

(43)Date of publication of application : 08.12.1995

(51)Int.Cl.

H01L 21/02

(21)Application number : 06-136476

(71)Applicant : MITSUBISHI MATERIALS CORP
MITSUBISHI MATERIALS SHILICON
CORP

(22)Date of filing : 26.05.1994

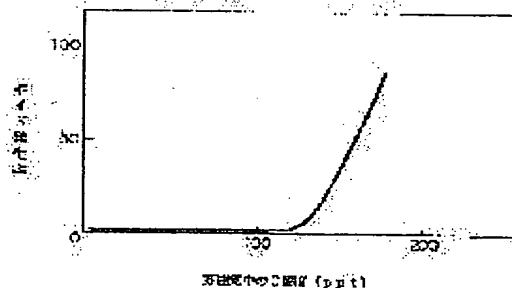
(72)Inventor : TANAKA KEIICHI
HARADA HITOSHI
OI HIROYUKI
SUGAWARA MAKOTO
OKADA CHIZUKO
MORITA ETSURO

(54) MANUFACTURE OF BONDED SEMICONDUCTOR SUBSTRATE

(57)Abstract:

PURPOSE: To provide a bonded semiconductor substrate manufacturing method by which the occurrence of such a trouble as the stripping off, etc., is eliminated.

CONSTITUTION: The carbon concentration in a clean booth is precontrolled to ≤ 100 ppt. In such an atmosphere, specularly polished silicon wafers are bonded to each other by using a bonding jig. At the time of bonding the wafers, one wafer is curved to a nearly semispheric state and the wafer is bonded to the other wafer at a fixed speed from the center of the curved surface to the periphery. The bonding process is photographed with an IR camera. After bonding, the bonded wafers are heat-treated for two hours at $1,100^{\circ}\text{C}$.



LEGAL STATUS

[Date of request for examination] 27.08.1997

[Date of sending the examiner's decision of rejection] 16.11.1999

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3142206

[Date of registration] 22.12.2000

[Number of appeal against examiner's decision of rejection] 11-020102

[Date of requesting appeal against examiner's decision of rejection] 15.12.1999

[Date of extinction of right]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The manufacture approach of the lamination semi-conductor substrate characterized by carbon concentration performing the above-mentioned lamination in the ambient atmosphere of 100 or less ppt in the manufacture approach of a lamination semi-conductor substrate of piling up the principal planes of two semi-conductor substrates, and manufacturing one lamination semi-conductor substrate.

[Claim 2] The carbon concentration of the above-mentioned principal plane is the manufacture approach of a lamination semi-conductor substrate according to claim 1 that C=C association holds to 1% or less, and makes it rival with the measured value of XPS.

[Claim 3] The above-mentioned principal plane is the manufacture approach of a lamination semi-conductor substrate according to claim 1 of making it rivaling after the contact angle which used ultrapure water has held at 6 degrees or less.

[Claim 4] Two above-mentioned semi-conductor substrates are the manufacture approaches of a lamination semi-conductor substrate according to claim 1 to 3 that carbon concentration holds in the ambient atmosphere of 100 or less ppt, and makes it rival in the above-mentioned ambient atmosphere after that after washing the principal plane.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] this invention -- for example, two silicon wafers -- in all [direct flare] -

- the manufacture approach of the lamination semi-conductor substrate formed into 1 body -- it is especially related with the carbon concentration in the lamination ambient atmosphere.

[0002]

[Description of the Prior Art] The techniques which silicon wafers are made to rival directly and are joined conventionally are enumerated by JP,61-145839,A, JP,62-71215,A, etc. The lamination junction technique of this wafer is fundamentally constituted by the following processes. ** Make two wafers rival at a room temperature. ** Anneal this in a temperature field 800 degrees C or more, and raise bond strength. ** At each process of **, a lamination interface is combined uniformly and it is required that there are no uncombined parts, such as a void, and that bond strength should be high to extent which does not exfoliate at a back process.

[0003] And although the equipment and the approach which are shown in JP,2-46722,A, JP,2-248032,A, JP,3-196610,A, JP,4-4740,A, etc. are conventionally proposed as a lamination technique, the practical difficulty still exists also about which technique. That is, even if it adopts which lamination approach, in a lamination activity, the wafer of poor lamination will be generated at a remarkable rate.

[0004] For example, such lamination washes a wafer, and after making it dry, it makes the mirror planes rival in room temperature atmospheric air first. Although this lamination activity was done in the clean room, when long time amount was taken after washing of a silicon wafer, the void incidence rate was high.

[0005]

[Problem(s) to be Solved by the Invention] Then, when the cause was studied, it became clear that the carbon concentration of the silicon wafer front face after washing increased with the passage of time. That is, when the carbon concentration in a lamination ambient atmosphere was high, the void incidence rate became high and had produced the technical problem that it became easy to generate peeling etc. at the device process after heat treatment etc.

[0006] Then, this invention sets it as the purpose to offer the manufacture approach of a lamination semi-conductor substrate of having abolished generating of faults, such as peeling.

[0007]

[Means for Solving the Problem] Invention indicated to claim 1 is the manufacture approach of a lamination semi-conductor substrate that carbon concentration performs the above-mentioned lamination in the ambient atmosphere of 100 or less ppt, in the manufacture approach of a lamination semi-conductor substrate of piling up the principal planes of two semi-conductor substrates, and manufacturing one lamination semi-conductor substrate.

[0008] Moreover, invention indicated to claim 2 is the manufacture approach of a lamination semi-conductor substrate according to claim 1 of C=C association holding the carbon concentration of the above-mentioned principal plane to 1% or less with the measured value of XPS, and making it rivaling. XPS (X-ray photo-electronic Spectroscopy) is X-ray photoelectron spectroscopy.

[0009] Moreover, invention indicated to claim 3 is the manufacture approach of a lamination semi-conductor substrate according to claim 1 of making it rivaling after the contact angle which used ultrapure water has held the above-mentioned principal plane at 6 degrees or less.

[0010] After two above-mentioned semi-conductor substrates wash the principal plane, carbon concentration holds them in the ambient atmosphere of 100 or less ppt, and invention indicated to claim 4 is the manufacture approach of a lamination semi-conductor substrate according to claim 1 to 3 of making it rivaling in the above-mentioned ambient atmosphere, after that.

[0011]

[Function] Since according to the manufacture approach concerning this invention the lamination ambient atmosphere is controlled and the carbon concentration of the principal plane at the time of lamination is managed especially, even if it is after lamination heat treatment, bonding strength is high, and the lamination semi-conductor substrate which peeling does not produce can be obtained. In this case, as a semi-conductor substrate used for lamination, you may be what carried out mirror polishing of the principal plane of a silicon wafer, or an oxide film (SiO₂ film), the CVD film, an epitaxial film, etc. may be put on one superposition side. Moreover, since carbon concentration should just hold the wafer principal plane after washing in the ambient atmosphere

below constant value, the wafer for lamination can be kept and managed in the good condition. For example, the carbon concentration in a clean room is managed and kept, or it is kept in the wafer cases (case made from a polycarbonate etc.) which managed carbon concentration.

[0012]

[Example] Hereafter, the example of this invention is explained based on a drawing. Drawing 1 is the block diagram showing the lamination defective test equipment of the semi-conductor substrate used in case the lamination semi-conductor substrate concerning one example is manufactured. Drawing 2 is a graph for explaining relation with the carbon concentration to be a void incidence rate after heat treatment of the lamination semi-conductor substrate concerning one example.

[0013] As drawing 1 is shown, with this equipment, the adhesion fixture 11 is arranged in the clean booth 16. It has become possible for the carbon concentration to control the interior of a clean booth 16 to 100 or less ppt (carbon concentration is 100 or less ppt in XPS). For example, the ambient atmosphere is controlled by the filter etc. Right above [of the adhesion fixture 11], only predetermined spacing is left, and the IR camera 12 is set. Moreover, a predetermined include angle is made from the slanting upper part to the adhesion fixture 11, and the sources 13 of infrared light (semiconductor laser etc.) are arranged possible [the exposure to infrared radiation IR]. The irradiated infrared radiation IR is a configuration which reflects with the adhesion fixture 11 and carries out incidence to the IR camera 12. The output signal of the IR camera 12 is sent to an image processing system 14, and is further displayed on a monitor 15. That is, the condition of the superposition side at the time of the lamination of two wafers A and B in the adhesion fixture 11 is recorded by photoing the infrared radiation IR which the infrared radiation IR irradiated from the light source 13 penetrated these wafers A and B, or reflected with the IR camera 12. The condition of this superposition side is displayed on a monitor 15 by predetermined signal processing (photo electric conversion, filtering, etc.) as an image.

Therefore, an operator can view a monitor 15, and can discover and recognize a void etc. easily.

[0014] The production process of the lamination wafer in this example is explained. First, the silicon wafer B made to rival by the silicon wafer A which carried out mirror polishing, and this which similarly carried out mirror polishing is prepared. Each of these wafers washes on condition that predetermined (it is 20 minutes at SC1 80-degree C penetrant remover), and carbon concentration keeps them in the ambient atmosphere below a constant rate. And these wafers are made to rival under certain conditions using the above-mentioned adhesion fixture 11. The carbon concentration in this lamination ambient atmosphere (clean booth 16 interior) is 100 or less ppt. One wafer is incurvated in the shape of an abbreviation semi-sphere, and it is made to rival at the rate of predetermined toward a periphery from the core of that curve side at this time. Moreover, at this time, infrared radiation is irradiated and the condition of a superposition side is photoed. Drawing 2 is a graph which shows the relation between carbon concentration and a void incidence rate. This attracts an atmospheric-air component using an activated carbon column, makes the organic substance stick to a column, and analyzes C.

[0015] And when poor lamination arises, after checking with a monitor 15, it processes as a wafer for playback. When lamination is normal, heat treatment (annealing) in an oxygen ambient atmosphere is performed to the wafer after lamination, and defective inspection of the void by the ultrasonic method etc. is further performed to it for 1100 degrees C and 2 hours. Polish etc. is given at degree process and a device process is presented with an excellent article.

[0016]

[Effect of the Invention] According to this invention, the rate of an excellent article in lamination can be raised.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any

damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing the lamination defective test equipment used for the process concerning one example of this invention.

[Drawing 2] It is the graph which shows the relation between C concentration in the ambient atmosphere for explaining the manufacture approach of the lamination semi-conductor substrate concerning one example of this invention, and a void incidence rate.

[Translation done.]

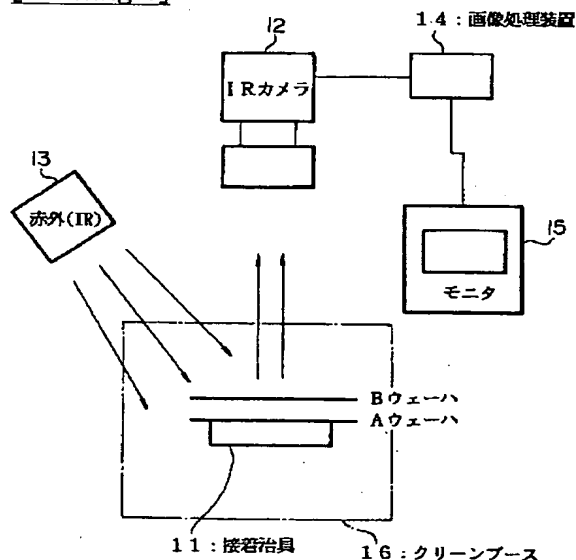
* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

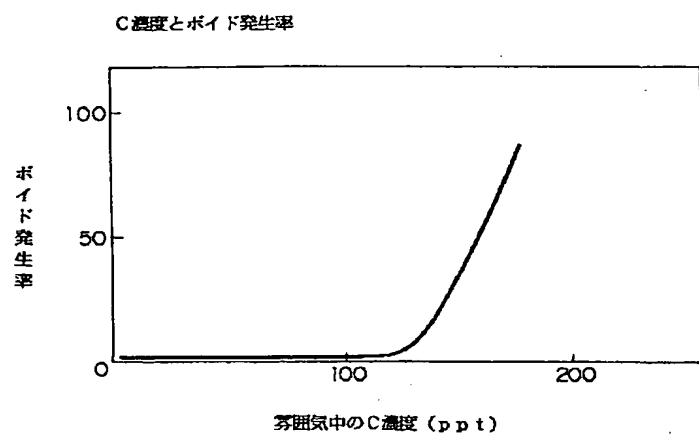
- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DRAWINGS

[Drawing 1]



[Drawing 2]



[Translation done.]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-320994

(43)公開日 平成7年(1995)12月8日

(51)Int.Cl.⁶

H 0 1 L 21/02

識別記号

庁内整理番号

B

F I

技術表示箇所

審査請求 未請求 請求項の数4 F D (全 4 頁)

(21)出願番号 特願平6-136476

(22)出願日 平成6年(1994)5月26日

(71)出願人 000006264

三菱マテリアル株式会社

東京都千代田区大手町1丁目5番1号

(71)出願人 000228925

三菱マテリアルシリコン株式会社

東京都千代田区大手町一丁目5番1号

(72)発明者 田中 恵一

東京都千代田区岩本町3丁目8番16号 三

菱マテリアルシリコン株式会社内

(72)発明者 原田 均

東京都千代田区岩本町3丁目8番16号 三

菱マテリアルシリコン株式会社内

(74)代理人 弁理士 安倍 逸郎

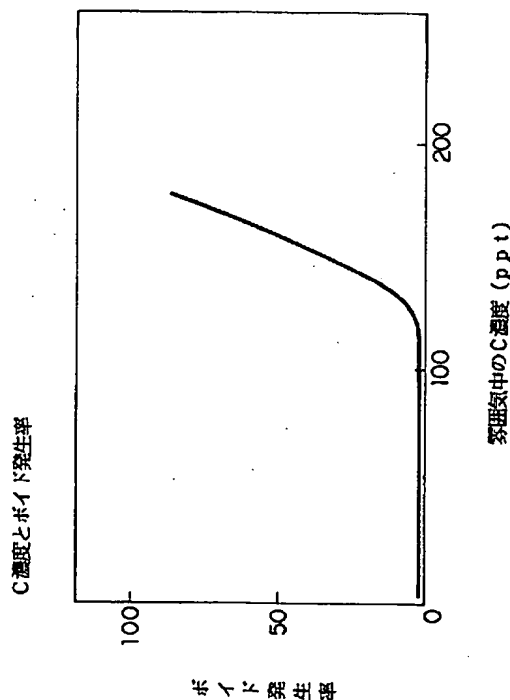
最終頁に続く

(54)【発明の名称】 張り合わせ半導体基板の製造方法

(57)【要約】

【目的】 剥がれ等の不具合の発生をなくした張り合わせ半導体基板の製造方法を提供する。

【構成】 クリーンブース内部の炭素濃度を100ppm以下にコントロールしておく。この雰囲気中で鏡面研磨したシリコンウェーハ同士を接着治具を使用して張り合わせる。一方のウェーハを略半球状に湾曲させてその湾曲面の中心位置から周縁に向かって一定の速度で張り合わせる。この張り合わせはIRカメラで撮影しておく。その後1100℃、2時間熱処理を行う。



【特許請求の範囲】

【請求項 1】 2 枚の半導体基板の主面同士を重ね合わせて 1 枚の張り合わせ半導体基板を製造する張り合わせ半導体基板の製造方法において、
上記張り合わせを炭素濃度が 100 p p t 以下の雰囲気にて行うことを特徴とする張り合わせ半導体基板の製造方法。

【請求項 2】 上記主面の炭素濃度は X P S の測定値で C=C 結合が 1 % 以下に保持して張り合わせる請求項 1 に記載の張り合わせ半導体基板の製造方法。

【請求項 3】 上記主面は超純水を用いた接触角が 6° 以下に保持した状態で張り合わせる請求項 1 に記載の張り合わせ半導体基板の製造方法。

【請求項 4】 上記 2 枚の半導体基板は、その主面を洗浄した後、炭素濃度が 100 p p t 以下の雰囲気に保持し、その後、上記雰囲気で張り合わせる請求項 1 ~ 請求項 3 のいずれかに記載の張り合わせ半導体基板の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は例えば 2 枚のシリコンウェーハを直接張り合わせて一体化する張り合わせ半導体基板の製造方法、特にその張り合わせ雰囲気中の炭素濃度に関する。

【0002】

【従来の技術】 従来より、シリコンウェーハ同士を直接張り合わせて接合する技術は、例えば特開昭 61-145839 号公報、特開昭 62-71215 号公報等に列挙されている。このウェーハの張り合わせ接合技術は、基本的には以下の工程により構成されている。①室温で 2 枚のウェーハを張り合わせる。②800℃以上の温度領域でこれをアニールし、結合強度を高める。①、②の各工程では張り合わせ界面は一樣に結合され、ボイド等の非結合部分がないこと、また、後工程で剥離しない程度に結合強度が高いことが要求される。

【0003】 そして、張り合わせ技術としては、従来より、例えば特開平 2-46722 号公報、特開平 2-248032 号公報、特開平 3-196610 号公報、特開平 4-4740 号公報等に示す装置および方法が提案されているが、いずれの技術についても未だ実用上の難点が存在している。すなわち、いずれの張り合わせ方法を採用したとしても、張り合わせ作業において、張り合わせ不良のウェーハがかなりの率で発生することとなる。

【0004】 例えばこれらの張り合わせは、初めにウェーハを洗浄し、乾燥させた後、室温大気中でその鏡面同士を張り合わせる。この張り合わせ作業はクリーンルームで行われるが、シリコンウェーハの洗浄後に長い時間がかかるとボイド発生率が高くなっていた。

【0005】

【発明が解決しようとする課題】 そこで、その原因を究明したところ、洗浄後シリコンウェーハ表面の炭素濃度が時間の経過とともに増大することが判明した。すなわち、張り合わせ雰囲気での炭素濃度が高いとボイド発生率が高くなり、熱処理後のデバイス工程等で剥がれ等が発生し易くなるという課題を生じていた。

【0006】 そこで、本発明は、剥がれ等の不具合の発生をなくした張り合わせ半導体基板の製造方法を提供することを、その目的としている。

10 【0007】

【課題を解決するための手段】 請求項 1 に記載した発明は、2 枚の半導体基板の主面同士を重ね合わせて 1 枚の張り合わせ半導体基板を製造する張り合わせ半導体基板の製造方法において、上記張り合わせを炭素濃度が 100 p p t 以下の雰囲気にて行う張り合わせ半導体基板の製造方法である。

【0008】 また、請求項 2 に記載した発明は、上記主面の炭素濃度は X P S の測定値で C=C 結合が 1 % 以下に保持して張り合わせる請求項 1 に記載の張り合わせ半導体基板の製造方法である。X P S (X-ray photo-electronic Spectroscopy) は X 線光電子分光法である。

20

【0009】 また、請求項 3 に記載した発明は、上記主面は超純水を用いた接触角が 6° 以下に保持した状態で張り合わせる請求項 1 に記載の張り合わせ半導体基板の製造方法である。

【0010】 請求項 4 に記載した発明は、上記 2 枚の半導体基板は、その主面を洗浄した後、炭素濃度が 100 p p t 以下の雰囲気に保持し、その後、上記雰囲気で張り合わせる請求項 1 ~ 請求項 3 のいずれかに記載の張り合わせ半導体基板の製造方法である。

30

【0011】

【作用】 本発明に係る製造方法によれば、張り合わせ雰囲気を制御しているため、特に張り合わせ時の主面の炭素濃度を管理しているため、張り合わせ熱処理後にあっても接合強度が高く、剥がれが生じることがない張り合わせ半導体基板を得ることができる。この場合、張り合わせに使用する半導体基板としては、シリコンウェーハの主面を鏡面研磨したもの同士であってもよく、または、一方の重ね合わせ面に酸化膜 (S i O₂ 膜)、C V D 膜、エピタキシャル膜等を被着したものであってもよい。また、洗浄後のウェーハ主面を炭素濃度が一定値以下の雰囲気に保持しておけばよい。また、張り合わせ用のウェーハを良好な状態で保管、管理することができる。例えばクリーンルーム内の炭素濃度を管理して保管したり、炭素濃度を管理したウェーハケース (ポリカーボネイト製ケース等) 内に保管する。

【0012】

【実施例】 以下、本発明の実施例を図面に基づいて説明する。図 1 は一実施例に係る張り合わせ半導体基板を製

50

造する際に用いる半導体基板の張り合わせ欠陥検査装置を示すブロック図である。図2は一実施例に係る張り合わせ半導体基板の熱処理後のボイド発生率と、その炭素濃度との関係を説明するためのグラフである。

【0013】図1において示すように、この装置では、接着治具11はクリーンブース16内に配設されている。クリーンブース16の内部はその炭素濃度が100ppm以下にコントロール可能になっている（炭素濃度はXPSで100ppm以下である）。例えばフィルタ等により雰囲気ガスを制御されている。接着治具11の直上には所定間隔だけ離れてIRカメラ12がセットしてある。また、接着治具11に対して斜め上方から所定角度をなして赤外線IRを照射可能に赤外光源（半導体レーザー等）13が配設されている。照射された赤外線IRは、接着治具11で反射し、IRカメラ12に入射する構成である。IRカメラ12の出力信号は画像処理装置14に送られ、さらに、モニタ15に表示される。すなわち、接着治具11での2枚のウェーハA、Bの張り合わせ時の重ね合わせ面の状態は、光源13から照射した赤外線IRがこのウェーハA、Bを透過し、または反射した赤外線IRをIRカメラ12で撮影することにより記録される。この重ね合わせ面の状態は、所定の信号処理（光電変換、フィルタリング等）により画像としてモニタ15に表示される。したがって、作業者はモニタ15を目視してボイド等を容易に発見、認識することができる。

【0014】本実施例における張り合わせウェーハの製造工程を説明する。まず、鏡面研磨したシリコンウェーハAおよび同じく鏡面研磨したこれに張り合わせられるシリコンウェーハBを準備する。これらのウェーハはいく

* ずれも所定の条件（80℃のSC1洗浄液で20分）で洗浄を行い、炭素濃度が一定量以下の雰囲気中に保管する。そして、これらのウェーハを上記接着治具11を使用して一定の条件の下に張り合わせる。この張り合わせ雰囲気（クリーンブース16内部）での炭素濃度は100ppm以下である。このとき、一方のウェーハを略半球状に湾曲させてその湾曲面の中心から周縁に向かって所定の速度で張り合わせるものとする。また、このとき、赤外線を照射し重ね合わせ面の状態を撮影している。図2は炭素濃度とボイド発生率との関係を示すグラフである。これは、活性炭カラムを用いて大気成分を吸引し、有機物をカラムに吸着させてCの分析を行ったものである。

【0015】そして、張り合わせ不良が生じた場合は、モニタ15で確認した後、再生用のウェーハとして処理する。張り合わせが正常である場合は、張り合わせ後のウェーハには例えば1100℃、2時間、酸素雰囲気での熱処理（アニール）が施され、さらに、超音波探傷法によるボイド等の欠陥検査を行う。良品は次工程で研磨等が施され、デバイス工程に供される。

【0016】

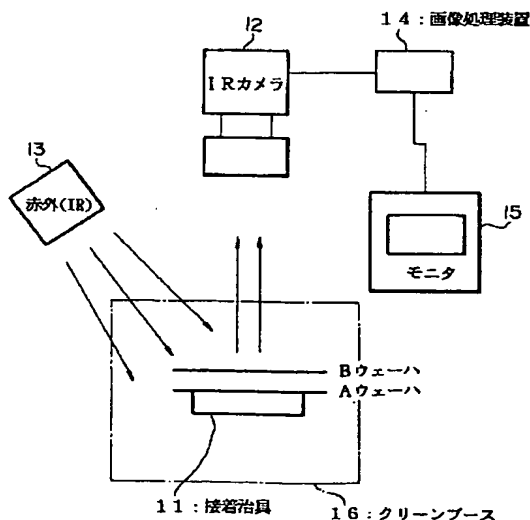
【発明の効果】本発明によれば、張り合わせでの良品率を高めることができる。

【図面の簡単な説明】

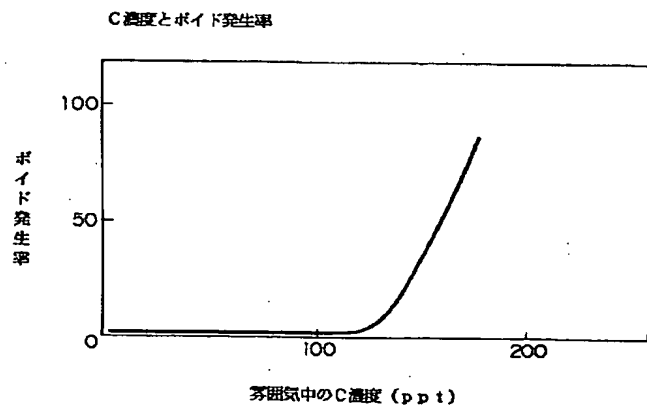
【図1】本発明の一実施例に係る製法に使用する張り合わせ欠陥検査装置を示すブロック図である。

【図2】本発明の一実施例に係る張り合わせ半導体基板の製造方法を説明するための雰囲気中のC濃度とボイド発生率との関係を示すグラフである。

【図1】



【図2】



フロントページの続き

(72)発明者 大井 浩之
東京都千代田区岩本町3丁目8番16号 三
菱マテリアルシリコン株式会社内
(72)発明者 菅原 誠
東京都千代田区岩本町3丁目8番16号 三
菱マテリアルシリコン株式会社内

(72)発明者 岡田 千鶴子
東京都千代田区岩本町3丁目8番16号 三
菱マテリアルシリコン株式会社内
(72)発明者 森田 悦郎
東京都千代田区岩本町3丁目8番16号 三
菱マテリアルシリコン株式会社内